

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Shinsuke KATO et al. :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed October 8, 2003 : Attorney Docket No. 2003_1418A

ARITHMETIC UNIT WITH REDUCED
STARTUP TIME AND METHOD OF
LOADING DATA

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450


Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2002-296229, filed October 9, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Shinsuke KATO et al.

By 

Charles R. Watts
Registration No. 33,142
Attorney for Applicants

CRW/asd
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
October 8, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 9 6 2 2 9
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 9 6 2 2 9]

出 願 人 松 下 電 器 産 業 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 9 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 4 2 3 6

【書類名】 特許願

【整理番号】 2037340022

【提出日】 平成14年10月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/48

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 加藤 慎介

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 大和田 清志

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 演算装置

【特許請求の範囲】

【請求項 1】 CPU へのデータ読み込み元を RAM または ROM に切り替える手段を有する RAM / ROM 切り替え装置を備え、ROM の情報を元に起動を開始することができる演算装置。

【請求項 2】 RAM におけるデータの有無を判定する手段を備え、RAM におけるデータの有無を判定する手段は、RAM のデータの有無を保持する RAM データ判定ビットテーブルの状態を把握することにより行うことを特徴とする請求項 1 記載の演算装置。

【請求項 3】 前記 CPU へのデータ読み込み元を RAM または ROM に切り替える手段は、RAM にデータが存在しないとき、RAM に展開される ROM のアドレスを判別することで行うことを特徴とする請求項 1 記載の演算装置。

【請求項 4】 ROM から直接読み込まれたデータであることをキャッシュに記録する手段を有するキャッシュ操作装置を備えたことを特徴とする請求項 1 記載の演算装置。

【請求項 5】 前記キャッシュ操作装置が、ROM から直接読み込まれたデータであることをキャッシュに記録する手段は、キャッシュタグのダーティービットをダーティーに設定することで行うことを特徴とする、請求項 4 記載の演算装置。

【請求項 6】 前記キャッシュ操作装置が、ROM から直接読み込まれたデータであることをキャッシュに記録する手段は、キャッシュタグのアドレスに ROM が展開される RAM のアドレスを書き込むことを特徴とする請求項 4 記載の演算装置。

【請求項 7】 前記 RAM の初期化は、キャッシュタグのダーティービットにより初期化の必要性を判断し、必要ならばキャッシュのリプレイスと同時に行うことを特徴とする、請求項 5 および請求項 6 記載の演算装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は中央演算処理装置（CPU）を備えたプロセッサシステムに係わり、CPUへのデータ読み込み元を切り替えるRAM/ROM切り替え装置を有する起動時間短縮が可能な演算装置と、ROMから直接読み込まれたデータであることをキャッシュに記録する手段を有するキャッシュ操作装置を有し、起動時間短縮が可能な演算装置に関するものである。

【0002】**【従来の技術】**

CPUとキャッシュとROMとRAMとを備えた計算機において、CPUからのデータアクセスは、キャッシュにデータがある場合はキャッシュから読み込み、キャッシュにはデータがなくRAMにデータがある場合はRAMからデータを読み込むという方法が行われている。また、キャッシュにもRAMにもデータがない場合は、ROMからRAMへデータをコピーした後、そのデータをRAMから読み込む必要がある。図3にオペレーションシステム（OS）などの起動処理の流れ図を示した。まず、システム起動（S101）がなされると、CPUはデータを読み込むためのアドレスを提示する（S102）。次に、そのアドレスのデータがあるかどうかを、キャッシュ、RAM、の順に順次判定していく（S103）（S105）。キャッシュにデータがある場合はそのままキャッシュからデータを読み込む（S104）。キャッシュにはデータがなくRAMにデータがある場合には、RAMからデータを読み込む（S108）。キャッシュにもRAMにもデータがない場合には、ROMからRAMへ必要なデータのコピーを開始し（S106）、RAMにデータがコピーされるのを待つ（S107）。そしてRAMにコピーされたデータをCPUがアクセスするという方法が行われている（例えば、特許文献1参照。）。

【0003】**【特許文献1】**

特開平5-242057号公報（第2頁、第1図）

【0004】**【発明が解決しようとする課題】**

本発明はCPUとROMとRAMを持つシステムが起動処理を行う際に、その起動処理終了までの時間を短縮することを目的とする。従来、CPUとROMとRAMを持つシステムが起動処理を行う場合、キャッシュ、RAMといった揮発性メモリにはデータが残っていないため、必ずROMのデータをRAMにコピーすることでRAMを初期化し（ここで言う初期化とはRAMに起動処理データを書き込むことである）、CPUはその後RAMから起動処理を行うデータを読み出し、起動処理を行う。ここでROMのデータをRAMにコピーする時間中、CPUは起動処理を進めることができず、起動処理終了までの時間のなかで無駄になっている。

【0005】

【課題を解決するための手段】

この課題を解決するために本発明は、RAMが初期化されていない場合において、ROMからRAMへデータのコピーをせず、CPUからROMのデータを直接参照し読み出すRAM/ROM切り替え装置を備え、ROMからRAMへデータのコピーを行いRAMが初期化されることを待たずに、CPUが起動処理を開始させることが可能な起動時間短縮演算装置を提供する。

【0006】

ある実施の形態では、RAMにおけるデータの有無を判定する手段を備え、RAMにおけるデータの有無を判定する手段は、RAMのデータの有無を保持するRAMデータ判定ビットテーブルの状態を把握することにより行われる。

【0007】

ある実施の形態では、CPUへのデータ読み込み元をRAMまたはROMに切り替える手段は、RAMにデータが存在しないとき、RAMに展開されるROMのアドレスを判別することで行われる。

【0008】

ある実施の形態では、ROMから直接読み込まれたデータであることをキャッシュに記録する手段を有するキャッシュ操作装置を備える。

【0009】

ある実施の形態では、キャッシュ操作装置が、ROMから直接読み込まれたデ

ータであることをキャッシュに記録する手段は、キャッシュタグのダーティービットをダーティーに設定することで行われる。

【0010】

ある実施の形態では、キャッシュ操作装置が、ROMから直接読み込まれたデータであることをキャッシュに記録する手段は、キャッシュタグのアドレスにROMが展開されるRAMのアドレスを書き込むことで行われる。

【0011】

ある実施の形態では、RAMの初期化は、キャッシュタグのダーティービットにより初期化の必要性を判断し、必要ならばキャッシュのリプレイスと同時に行われる。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について、説明する。

【0013】

図1は本発明の一実施の形態によるCPU11とキャッシュ12とROM13とRAM14とRAMデータ判定ビットテーブル15とRAM/ROM切り替え装置16とキャッシュ操作装置19の関係を表すものである。始めに各構成要素の起動時における役割を述べる。

【0014】

CPU11は、起動時にはRAM14から起動処理のデータを読み込み、起動処理を行う。

【0015】

キャッシュ12は、電源OFFにより全てのデータを失い、また一時的に保存しておけるデータ量も少ないが、CPU11からのアクセス時間は短いため、一時的にデータを操作するときに用いられる。

【0016】

ROM13は、アクセス時間は最も長いが、電源OFF時もデータを保持できるので、起動に必要なデータを保持している。起動時には、起動に必要なデータは一旦RAM14にコピーされ、CPU11はRAM14から起動に必要な

なデータを読み込む。

【0017】

RAM14は、電源OFFにより全てのデータを失い、一時的に保存しておくデータ量はキャッシュ12よりも多いが、アクセス時間はキャッシュ12よりも長くROMよりは短い。よって、データを操作する際に、アクセス時間が最も長いROMのデータの一部をコピーし、そのデータ操作をするために用いられる。また、起動時にはデータがないため初期化が必要であり、ROM13から起動に必要なデータをRAM14にコピーすることでRAM14の初期化を行う。

【0018】

また、キャッシュ12は、保持しているデータをキャッシュタグ17に記憶されるアドレスに対応するRAM14のデータから更新すると、キャッシュタグ17のダーティービット18を「ダーティー」に設定する。ダーティービット18が「ダーティー」に設定されているとき、キャッシュ12のデータをリプレイスする際は、このキャッシュタグ17の情報を元にキャッシュタグ17のアドレスに対応するRAM14のアドレスのデータを書き換える。

【0019】

RAMデータ判定ビットテーブル15は、RAM14の32バイトごとに対応するビットテーブルであり、対応するRAM14のアドレスにデータがないときは、ビットは「0」、データがあるときは、ビットは「1」とする。RAMデータ判定ビットテーブル15を参照することで、対応するRAM14のアドレスにデータが存在するか瞬時に判定可能となる。

【0020】

RAM/ROM切り替え装置16は、RAMデータ判定ビットテーブル15の状態を把握し、CPU11からRAM14へのアクセス命令において、RAM14にデータが存在すればRAM14からデータを読み込ませ、RAM14にデータが存在しなければROM13から直接データを読み込ませる。

【0021】

キャッシュ操作装置19は、RAM/ROM切り替え装置16がCPU11にROM13からデータを読み込ませた場合は、キャッシュ12のキャッシュタグ

17を操作する。キャッシュタグ17のアドレス情報には本来アクセスするはずであったRAM14のアドレスを登録し、キャッシュタグ17のダーティービット18を「ダーティー」に設定する。

【0022】

図2は本発明の一実施の形態による起動処理のフローチャートである。システムが起動(S201)し、CPU11はデータを読み込むためにデータ収納先のアドレスを提示(S202)する。次に、キャッシュ12にデータがあるか判定する(S203)が、起動時にはキャッシュ12にデータはないので、RAM/ROM切り替え装置16に行き(S205)、RAMデータ判定ビットテーブル15の情報からRAM14にデータが存在しているか判定する(S206)。しかし、キャッシュ同様に起動時においてはRAM14にデータは存在しないので、ROM13から直接データを読み込ませに行く(S208)。また、ROM13から直接データを読み込みます場合においては、キャッシュ操作装置からキャッシュタグ17を操作する(S209)。CPU11はROM13からデータを取得したあとすぐに起動処理を開始する(S210)ことができる。

【0023】

次に本発明の手法においてのRAM14の初期化について述べる。従来、RAM14の初期化は、起動時においてROM13からRAM14へ起動に必要なデータがコピーされることで行われる。しかし、本発明の手法においてはROM13からRAM14へのコピーは行わず、CPU11はROM13から起動に必要なデータを読み込み、起動処理を開始する。そこで、本発明の手法では、RAM/ROM切り替え装置16がROM13からCPU11にデータを読み込ませた場合は、キャッシュ操作装置19にキャッシュ12のキャッシュタグ17を操作させる。キャッシュタグ17のアドレス情報には、本来CPU11が読み込むはずであったRAM14のアドレスを収納し、そのダーティービット18を「ダーティー」に設定する。キャッシュの機構として、ダーティービット18が「ダーティー」に設定されていると、キャッシュ12のリプレイス時において、キャッシュ12の内容とRAM14の内容に変化があったと判断し、RAM14の内容をキャッシュ12の内容と同様になるように書き換える。よって、キャッシュタ

グ 17 へこれらの操作を行うことで、キャッシュ 12 のリプレイス時にキャッシュ 12 の情報を RAM 14 に書き込むことになり、ROM 13 からデータを読み込んだ場合においても RAM 14 の初期化が行われる。

【0024】

【発明の効果】

以上のように本発明により、起動時において ROM 13 から RAM 14 へのデータのコピーにかかる時間をなくし、CPU 11 は起動と同時に ROM 13 から起動に必要なデータを獲得し、起動動作を開始できる。これによりシステムの起動時間を短縮できるという有効な効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態による CPU 11 とキャッシュ 12 と RAM 14 と ROM 13 と RAM データ判定ビットテーブル 15 と RAM/ROM 切り替え装置 16 とキャッシュ操作装置 19 の関係を示す図

【図 2】

本発明の一実施の形態による CPU 11 が起動時からシステム起動のためのデータを取得するまでを示すフローチャート

【図 3】

従来の一実施の形態による CPU 11 が起動時からシステム起動のためのデータを取得するまでを示すフローチャート

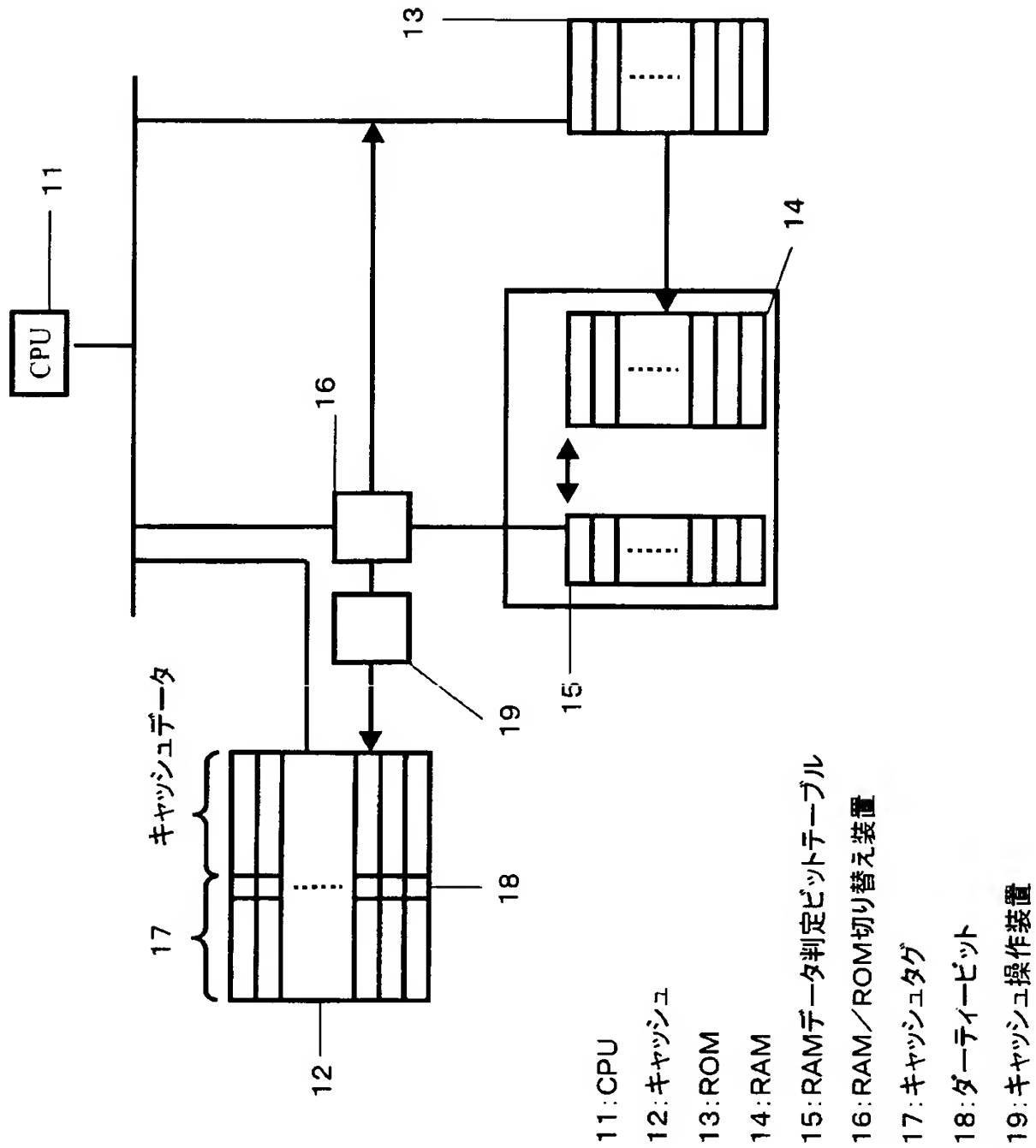
【符号の説明】

- 11 CPU
- 12 キャッシュ
- 13 ROM
- 14 RAM
- 15 RAM データ判定ビットテーブル
- 16 RAM/ROM 切り替え装置
- 17 キャッシュタグ
- 18 ダーティービット

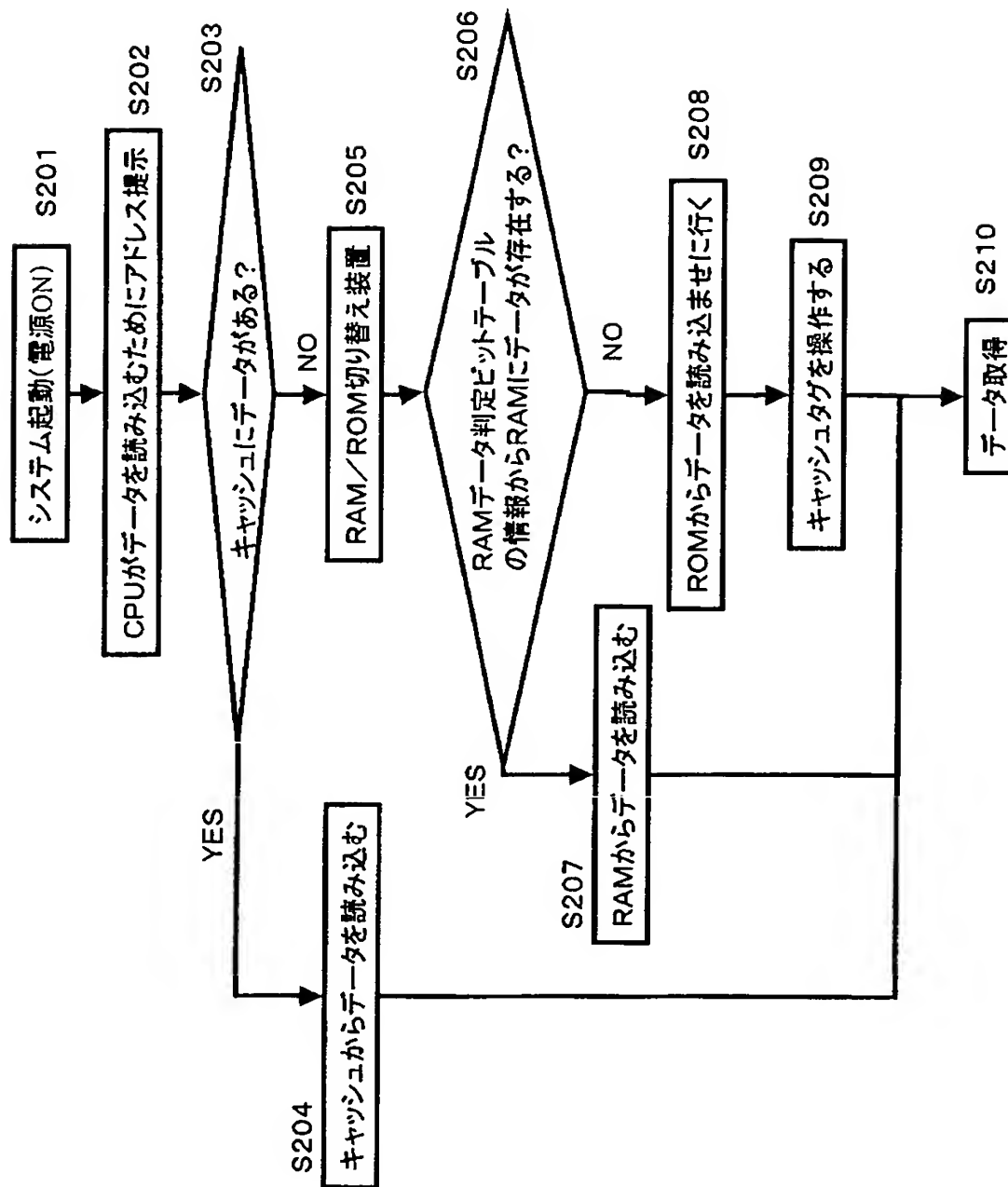
1 9 キャッシュ操作装置

【書類名】 図面

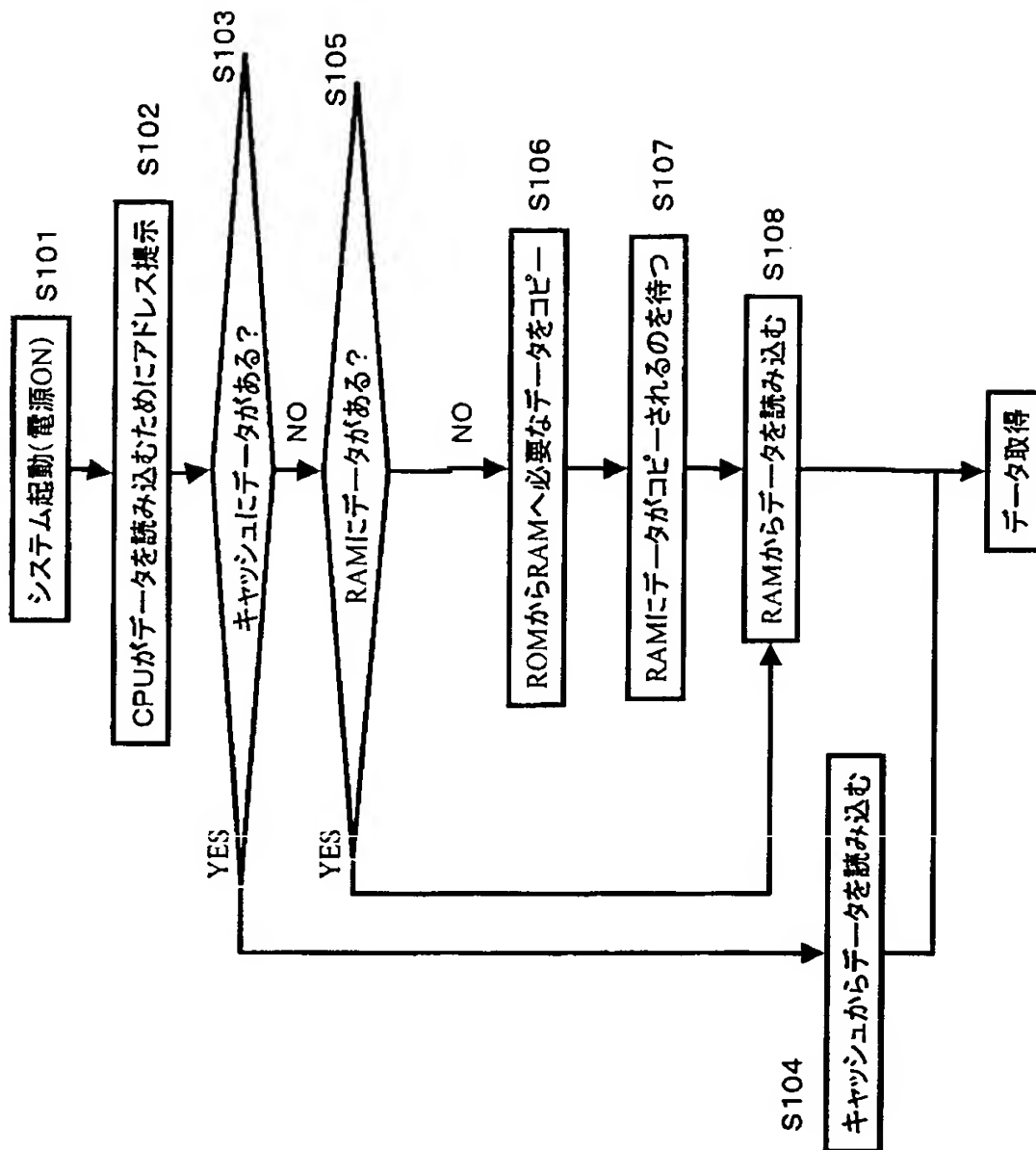
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 CPUシステム起動の際の起動時間短縮を目的とする。

【解決手段】 RAM 1 4 が初期化されていない場合において、CPU 1 1 からROM 1 3 のデータを直接参照し読み出すRAM/ROM切り替え装置 1 6 を備え、RAM 1 4 の初期化を待たずに、CPU 1 1 が起動処理を開始させることを可能にする。また、ROM 1 3 からデータを読み込んだ際にキャッシュタグ 1 7 のアドレスをRAM 1 4 のそれに変換し、ダーティービット 1 8 を「ダーティー」に設定するキャッシュ操作装置 1 9 を備え、キャッシュ 1 2 のリプレイス時にRAM 1 4 の初期化を行うことで、起動時間の短縮を可能にする。

【選択図】 図 1

特願 2 0 0 2 - 2 9 6 2 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社